

대한민국 특허청
**KOREAN INTELLECTUAL
 PROPERTY OFFICE**

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
 is a true copy from the records of the Korean Intellectual
 Property Office.

출원번호 : 10-2002-0077969
 Application Number

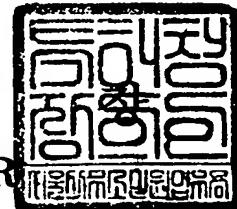
출원년월일 : 2002년 12월 09일
 Date of Application
 DEC 09, 2002

출원인 : 주식회사 하이닉스반도체
 Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 29 일

특허청
 COMMISSIONER





1020020077969

출력 일자: 2003/5/30

【서지사항】

【요약서】**【요약】**

본 발명은 반도체소자의 소자분리막 형성방법에 관한 것으로, 반도체기판상에 형성된 패드질화막 및 패드산화막을 일부 식각하여 상기 반도체기판을 노출시키는 단계; 상기 노출된 반도체기판내에 불순물을 이온주입하여 불순물 이온주입부를 형성하는 단계; 상기 결과물의 상부에 스페이서용 물질층을 형성한 후 이를 식각하여 상기 패드질화막의 측면에 스페이서를 형성함과 동시에 상기 이온주입부를 제거하여 상기 스페이서 아래에 만 이온주입부를 잔류시키는 단계; 상기 이온주입부가 제거된 반도체기판 부분을 식각하여 트렌치를 형성하는 단계; 상기 스페이서를 제거한 후 상기 결과물의 전체 상부에 어닐링공정을 수행하는 단계; 상기 트렌치 표면에 산화막을 형성하는 단계; 상기 결과물의 상부에 평탄화용 산화막을 형성하여 상기 패드질화막과 상기 평탄화용 산화막을 평탄화하는 단계; 및 잔류하는 상기 패드산화막과 상기 패드질화막을 제거하여 소자분리막을 형성하는 단계를 포함하여 구성된다.

【대표도】

도 2j

【명세서】**【발명의 명칭】**

반도체소자의 소자분리막 형성방법{Method for manufacturing STI of semiconductor device}

【도면의 간단한 설명】

도 1은 일반적인 반도체소자의 소자분리막을 도시한 공정 단면도.

도 2a 내지 도 2j는 본 발명에 따른 반도체소자의 소자분리막 형성방법을 도시한 공정별 단면도.

(도면의 주요부분에 대한 부호설명)

100 : 실리콘기판 120 : 패드산화막

140 : 패드질화막 140a : 잔류패드질화막

150 : 포토레지스트 180, 180a : 이온주입부

180b : 잔류이온주입부 200 : 제 1 TCR 폴리머 스페이서

220 : 제 2 TCR 폴리머 스페이서 240 : 트렌치

260 : SAC산화막 280a : 잔류 산화막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 반도체소자의 소자분리막 형성방법에 관한 것으로, 보다 상세하게는 소자분리막 형성공정의 에지 모트형성을 방지하는 반도체소자의 소자분리막 형성방법에 관한 것이다.

<11> 일반적으로, 반도체기술의 진보와 더불어 더 나아가서는 반도체소자의 고속화, 고집적화가 진행되고 있고, 이에 수반해서 패턴에 대한 미세화의 필요성이 점점 높아지고 있으며, 패턴의 칫수도 고정밀화가 요구되고 있다. 이는 반도체소자에 있어서, 넓은 영역을 차지하는 소자분리영역에도 적용된다.

<12> 현재의 반도체장치의 소자분리막으로는 로코스(LOCOS) 산화막이 대부분 이용된다. 이러한 로코스방식의 소자분리막은 기판을 선택적으로 국부산화하여 얻어진다.

<13> 그러나, 상기 로코스방식의 소자 분리막은 그 가장자리 부분에 새부리 형성의 버즈 비크가 발생하여, 소자분리막의 면적을 증대시키면서 누설전류를 발생시키는 단점을 갖는다.

<14> 따라서, 종래에는 적은 폭을 가지며, 우수한 소자분리 특성을 갖는 STI(Shallow Trench Isolation)방식의 소자분리막이 제안되었다.

<15> 일반적으로, 도 1에 도시된 바와 같이, STI공정은 반도체기판(5)상에 패드산화막, 패드질화막을 형성한 다음, 소자분리마스크 및 식각을 진행하고, 상기 소자분리마스크를 이용하여 하부의 반도체기판을 소정깊이 만큼 식각하여 트렌치(17)를 형성한다. 이어서,

상기 트렌치의 측벽을 희생산화 및 측벽산화시키고 전면에 라이너산화막을 형성한 다음, 필드산화막으로서 고밀도플라즈마 산화막을 형성하고 치밀화를 진행한다. 이어 화학적기계적연마공정을 실시하여 상기 트렌치에 매립되는 필드산화막(20)을 형성하고 패드질화막을 스트립한다.

<16> 이어서, 게이트산화막의 증착 전에 HF 또는 HF/H₂O, BOE(Buffer Oxide Etchant)등으로 세정공정을 진행한다.

<17> 즉, 게이트산화막 증착은 반도체 트랜지스터 특성에 아주 중요한 공정이므로 게이트산화막 증착전의 잔류 이물질을 HF 또는 혼합된 불산(HF)등으로 제거한 다음 게이트산화막을 증착한다.

【발명이 이루고자 하는 기술적 과제】

<18> 그러나, 이러한 세정공정을 진행하면서 에지 모트(moat)현상이 발생되는데, 이러한 에지모트가 발생하면 소자특성상 험프 및 INWE (Inverse Narrow Width Effect)가 발생하여 반도체소자의 비정상적인 동작을 유발시키는 문제점이 있다.

<19> 따라서, 본발명은 상기 종래기술의 제반문제점을 해결하기 위하여 안출한 것으로서, 트렌치의 코너 라운딩을 극대화시키고 험프 및 INWE등의 소자 특성을 개선할 수 있는 반도체소자의 소자분리막 형성방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<20> 상기 목적을 달성하기 위한 본 발명은, 반도체기판상에 형성된 패드질화막 및 패드산화막을 일부 식각하여 상기 반도체기판을 노출시키는 단계; 상기 노출된 반도체기판내에 불순물을 이온주입하여 불순물 이온주입부를 형성하는 단계; 상기 결과물의 상부에

스페이서용 물질층을 형성한 후 이를 식각하여 상기 패드질화막의 측면에 스페이서를 형성함과 동시에 상기 이온주입부를 제거하여 상기 스페이서 아래에만 이온주입부를 잔류시키는 단계; 상기 이온주입부가 제거된 반도체기판 부분을 식각하여 트렌치를 형성하는 단계; 상기 스페이서를 제거한 후 상기 결과물의 전체 상부에 어닐링공정을 수행하는 단계; 상기 트렌치 표면에 산화막을 형성하는 단계; 상기 결과물의 상부에 평탄화용 산화막을 형성하여 상기 패드질화막과 상기 평탄화용 산화막을 평탄화하는 단계; 및 잔류하는 상기 패드산화막과 상기 패드질화막을 제거하여 소자분리막을 형성하는 단계를 포함하여 구성됨을 특징으로 한다.

<21> (실시예)

<22> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

<23> 먼저, 도 2a에 도시된 바와 같이 실리콘기판(100)상에 패드산화막(120)과 패드질화막(140)을 형성한 후 포토레지스트(150)를 도포하여 패터닝한다.

<24> 그 다음, 도 2b에 도시된 바와 같이 상기 패터닝된 포토레지스트(150)를 마스크로 하여 상기 패드질화막(140)과 상기 패드산화막(120)을 LOCOS(Local Oxidation of Silicon) 건식식각하여 상기 실리콘기판(100)을 소정부분 노출시킨다.

<25> 이어서, 도 2c에 도시된 바와 같이 상기 결과물의 상부에 인(P) 또는 붕소(B)를 얇은 깊이로 이온주입하여 상기 노출된 실리콘 기판(100)내에 불순물 이온주입부(180)를 형성한다.

<26> 여기서, 상기 이온주입공정은 종래에 반도체공정에서 이용하고 있는 5가의 인(P)과 3가의 봉소(B)를 이용하여 이온주입하여 실리콘(Si)과 인(P)의 결합구조 또는 실리콘(Si)과 봉소(B)의 결합구조를 갖게된다.

<27> 이러한 이온주입공정은 후속의 SAC(Self Alignment Contact)산화공정에서 불순물 포함안된 실리콘기판(즉, 이온주입이 안된 패드질화막(140) 아래의 실리콘기판) 보다 불순물 포함된 실리콘 기판(즉, LOCOS 건식식각에 의해 노출된 실리콘기판)의 산화속도를 3배 정도 더 빠르게 산화시키기 위한 것이다.

<28> 또한, 3가의 봉소 보다 5가의 인을 이온주입한 경우 상기 실리콘기판(100)은 더 빠르게 산화되므로 인을 이온주입한다. 이때, 5가의 인 대신 3가의 봉소를 사용해도 되며 또한 3가의 봉소 또는 5가의 인에 한정하지 않아도 된다. 그 불순물 이온주입하는 이유가 상기 실리콘기판의 산화시 불순물의 합류에 의해 실리콘 결합구조가 쉽게 분리하기 위한 것이기 때문이다.

<29> 그 다음, 도 2d에 도시된 바와 같이, 상기 패드질화막(140) 측벽에 스페이서용 폴리머를 형성하면서 TCR 건식식각하여 잔류 이온주입부(180a)를 형성함과 동시에 폴리머 스페이서(200)를 형성한다. 이때, CHF_3 , CF_4 , Ar 또는 CxNy 의 혼합가스로 이루어진 활성화된 플라즈마를 이용하여 수행하며, N_2 , H_2 등의 가스도 포함할 수 있다.

<30> 여기서, 상기 잔류 이온주입부(180a)를 상기 폴리머 스페이서(200)의 하부영역 만큼 잔류시키는 이유는 후속의 수소진공 어닐링 공정시 상기 잔류이온주입부(180a)의 실리콘이 이온주입 안된 부위의 실리콘 보다 더 많이 플로우(flow)시키기 위한 것이다. 이는 나중에 에지 모트를 방지하는 중요한 요인이다.

<31> 이러한 TCR 건식식각은 플루오르 함유된 가스를 주요 가스성분으로 하며, 다수의 단계로 나누어 TCR건식식각을 진행하는 것이 라운딩에 더욱 효과적이다.

<32> 이러한 다수의 단계로 나누어진 TCR건식식각을 설명하면 다음과 같다.

<33> 먼저, 상기 패드질화막의 측벽에 제 1 스페이서용 폴리머를 형성하면서 제 1 TCR(Top Corner Rounding)건식식각하여 제 1 폴리머 스페이서를 형성한다. 이때, 상기 제 1 TCR 건식식각에서는 플루오르(F) 레이트를 적게 사용하여 식각한다.

<34> 이어서, 상기 제 2 스페이서용 폴리머를 형성하면서 제 2 TCR 건식식각하여 상기 제 1 폴리머 스페이서의 측면상에 제 2 폴리머 스페이서를 형성한다.

<35> 이때, 마지막 TCR 건식식각 단계에서는 상기 이온주입부(180a)를 전부식각하고 실리콘도 소정두께 만큼 식각되기 때문에 상기 제 1 폴리머 스페이서와 상기 제 2 폴리머 스페이서 사이의 상기 잔류 이온주입부는 평탄하지 않고 약간 라운딩된다.

<36> 이때, 상기 제 2 TCR 건식식각은 상기 제 2 TCR 건식식각은 플루오르(F) 레이트를 많게 사용하여 식각한다. 즉, 플루오르 레이트를 증가시키면서 TCR 건식식각하면 제 2 폴리머 스페이서(220)는 증가함과 동시에 TCR건식식각이 진행된다. 이렇게 제 2 폴리머 스페이서(220)를 증가시키면서 TRC 건식식각하면 실리콘기판(100)은 라운딩된다.

<37> 또한, 상기 제 1 TCR 건식식각과 제 2 TCR 건식식각의 순서를 뒤바꾸어 수행할 수도 있다. 이때, 상기 제 1 TCR 건식식각 단계에서 플루오르(F) 레이트를 많게 사용하고, 상기 제 2 TCR 건식식각 단계에서는 플루오르(F) 레이트를 적게 사용하여도 동일한 효과를 얻을 수 있으며, 그리고 마지막 TCR 건식식각 단계에서는 상기 이온주입부(180a)를 전부식각한다.

<38> 그 다음, 도 2e에 도시된 바와 같이 상기 실리콘기판(100)을 소정깊이 만큼 식각하여 트렌치(240)를 형성한다.

<39> 이때, 상기 트렌치 형성을 위한 식각시에도 상기 TCR 폴리머 스페이서(200)의 배리어에 의해 그 하부의 이온주입부의 실리콘은 식각되지 않는다. 또한 이러한 건식식각은 HBr, Cl₂, O₂, H₂등의 혼합가스로 이루어진 활성화된 플라즈마를 이용함으로써, 상기 잔류 이온주입부(180a)에만 이온주입 실리콘이 남겨지고 상기 잔류이온주입부(180a)의 표면부분(A)과 상기 트렌치(240)의 상부 모서리부분(A)이 라운딩된다.

<40> 이어서, 세정공정을 통해 HF 또는 H₂SO₄가 포함된 용액으로 상기 TCR 폴리머 스페이서(200)를 제거하면 상기 잔류이온주입부(180a)만이 남게 된다.

<41> 그 다음, 도 2f에 도시된 바와 같이, 상기 결과물의 전체 상부에 고온의 수소진공 어닐링공정을 수행한다.

<42> 이러한 수소진공 어닐링 공정을 거치면, 수소(H)와 실리콘(Si)이 반응하여 Si=Si의 결합구조의 결합력이 떨어지고, 불안정한 결합구조인 H=Si의 결합구조를 갖게 되어 수소와 실리콘의 결합구조가 쉽게 분리되는 불안정한 에너지 상태에 놓이게 된다.

<43> 이때, 불안정한 에너지 상태에서 안정된 에너지 상태로 전환하려는 성질이 발생하게 되어 트렌치(240)의 상부모서리부분(A)과 하부모서리부분(B)이 흐르려는 플로우(Flow)현상이 발생하여 상기 상부모서리부분(A)과 상기 하부모서리부분(B)은 라운딩된다. 이러한 불안정한 에너지 상태는 주로 상기 상부모서리부분(A)과 하부모서리부분(B)에서 발생한다.

<44> 또한, 상기 이온주입부(180a)의 표면부분(A)은 그 이온주입 결합구조로 인해 단일의 Si=Si의 결합구조를 갖고 있는 영역보다 더욱 불안정하기 때문에 수소 진공 어닐링 공정을 진행하게 되면 상기 표면부분(A)의 불안정한 에너지 상태가 더욱 심해져 플로우현상이 더 빨리 발생하고 상기 트렌치(240)의 상부 모서리부분(A)은 더욱 효과적으로 라운딩된다. 이는 후속공정에서 에지모트를 방지하는 중요한 요인이다.

<45> 그 다음, 도 2g에 도시된 바와 같이, 상기 결과물의 상부에 SAC(Sacrification) 산화공정을 수행하여 상기 트렌치(240)내에 SAC 산화막(260)을 형성한다.

<46> 그 다음, 도 2h에 도시된 바와 같이 상기 결과물의 상부에 평탄화용 산화막(280)을 형성하여 상기 트렌치(240)를 채운다.

<47> 이어서, 도 2i에 도시된 바와 같이 상기 패드질화막(140)을 식각정지막으로 하여 상기 패드질화막(140)과 상기 평탄화용 산화막(280)을 CMP공정에 의해 평탄화시켜 잔류산화막(280a)과 잔류패드질화막(140a)을 형성한다.

<48> 그 다음, 도 2j에 도시된 바와 같이, 인산 디핑에 의해 잔류하는 상기 패드산화막(120)과 상기 잔류 패드질화막(140a)을 제거함으로써 상기 평탄화용 산화막(280)이 라운딩부분(A) 보다 높은 위치에 있게 된다.

<49> 최종적으로, 게이트 산화막 증착 전에 HF 세정공정을 진행하여 실리콘 표면에 잔류하고 있는 이물질을 제거하여도 상기 평탄화용 산화막(280)이 라운딩부분(A) 보다 높은 위치에 있으므로 에지 모트 영역이 없는 최종 프로파일을 얻는다.

【발명의 효과】

<50> 상술한 바와 같이, 본 발명은 트렌치의 코너 라운딩을 극대화시키고 에지 모트현상이 발생하지 않아 소자특성중 험프, INWE등의 특성이 개선된다.

<51> 한편, 본 발명은 상술한 특정의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.



1020020077969

출력 일자: 2003/5/30

【특허청구범위】

【청구항 1】

반도체기판상에 형성된 패드질화막 및 패드산화막을 일부 식각하여 상기 반도체기판을 노출시키는 단계;

상기 노출된 반도체기판내에 불순물을 이온주입하여 불순물 이온주입부를 형성하는 단계;

상기 결과물의 상부에 스페이서용 물질층을 형성한 후 이를 건식식각하여 상기 패드질화막의 측면에 스페이서를 형성함과 동시에 상기 이온주입부를 제거하여 상기 스페이서 아래에만 이온주입부를 잔류시키는 단계;

상기 이온주입부가 제거된 반도체기판 부분을 식각하여 트렌치를 형성하는 단계;

상기 스페이서를 제거한 후 상기 결과물의 전체 상부에 어닐링공정을 수행하는 단계;

상기 트렌치 표면에 산화막을 형성하는 단계;

상기 결과물의 상부에 평탄화용 산화막을 형성하여 상기 패드질화막과 상기 평탄화용 산화막을 평탄화하는 단계; 및

잔류하는 상기 패드산화막과 상기 패드질화막을 제거하여 소자분리막을 형성하는 단계를 포함하여 구성된 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

【청구항 2】

제 1 항에 있어서, 상기 건식식각은 다수의 건식식각단계로 나누어 수행하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.



1020020077969

출력 일자: 2003/5/30

【청구항 3】

제 2 항에 있어서, 상기 다수의 건식식각단계에서 제 2 건식식각의 플루오르 레이트는 제 1 건식식각의 플루오르 레이트 보다 크게 사용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

【청구항 4】

제 3 항에 있어서, 상기 제 2 건식식각은 플루오르 레이트를 증가시키면서 건식식각하여 제 2 폴리머 스페이서를 증가시키는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

【청구항 5】

제 2 항에 있어서, 상기 다수의 건식식각 단계중 제 1 식각단계에서는 상기 패드질화막의 측벽에 제 1 폴리머 스페이서를 형성하면서 상기 이온주입부를 일부만 제거하고, 최종 식각단계에서는 상기 이온주입부를 전부 제거하여 상기 제 1 및 제 2 폴리머 스페이서 하부에만 상기 이온주입부를 잔류시키는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

【청구항 6】

제 1 항에 있어서, 상기 잔류이온주입부는 상기 트렌치 형성을 위한 식각후에도 상기 스페이서의 배리어에 의해 식각되지 않는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

1020020077969

출력 일자: 2003/5/30

【청구항 7】

제 1 항에 있어서, 상기 어닐링공정은 상기 트렌치의 상부모서리부분과 하부모서리 부분을 라운딩하는 것을 특징으로 하는 반도체소자의 소자분리막 형성방법.

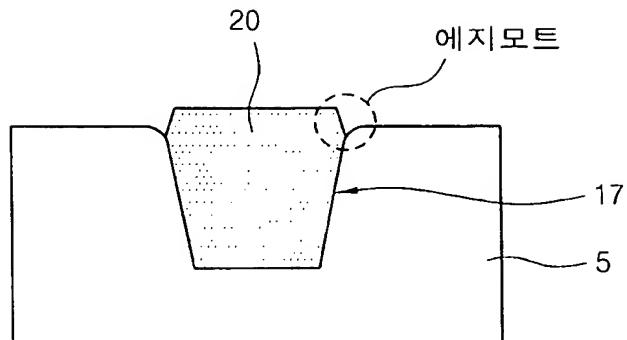


1020020077969

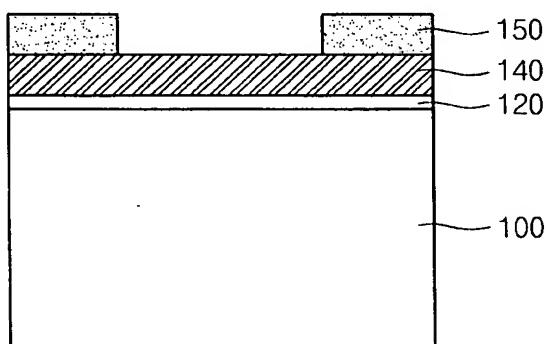
출력 일자: 2003/5/30

【도면】

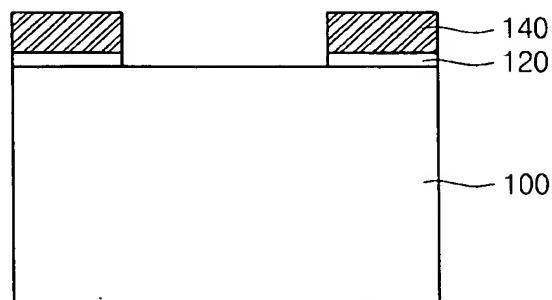
【도 1】



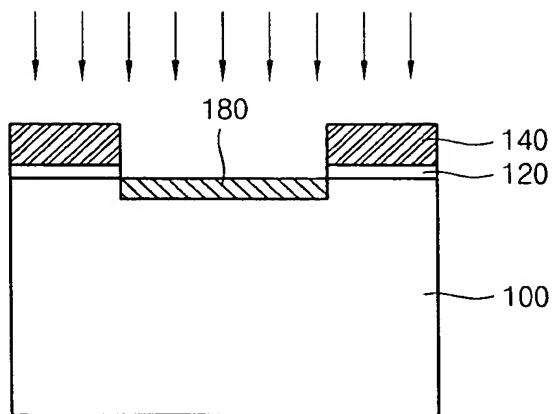
【도 2a】



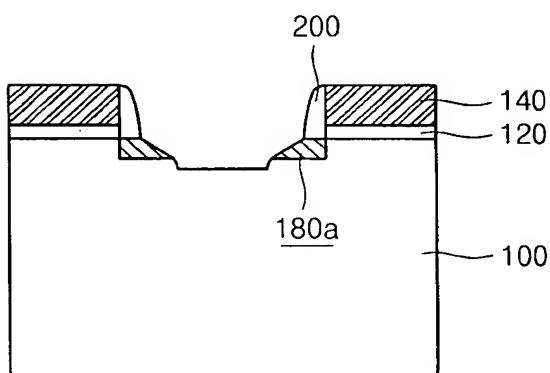
【도 2b】



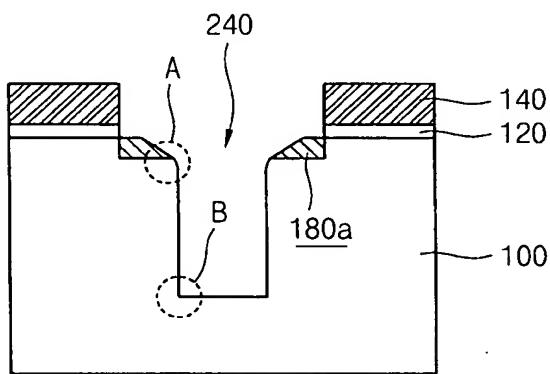
【도 2c】



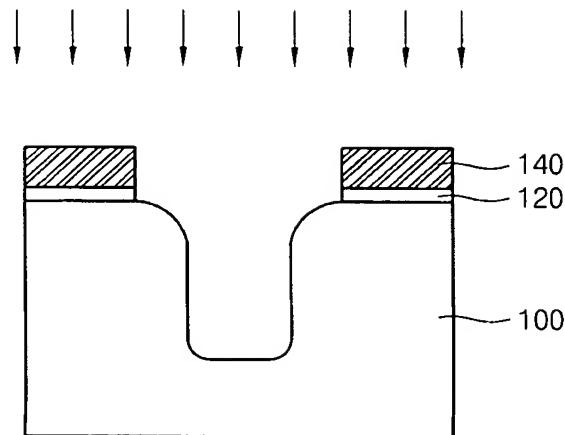
【도 2d】



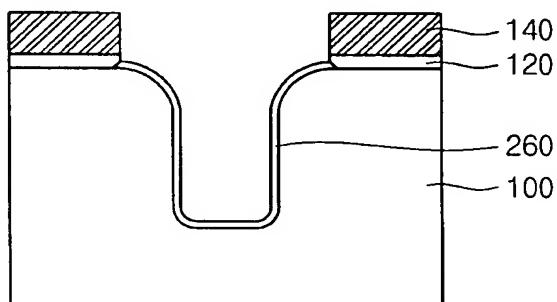
【도 2e】



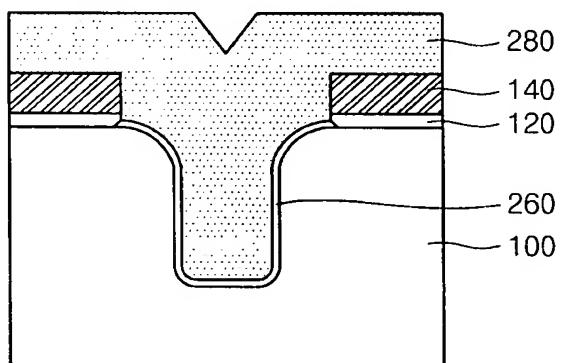
【도 2f】



【도 2g】



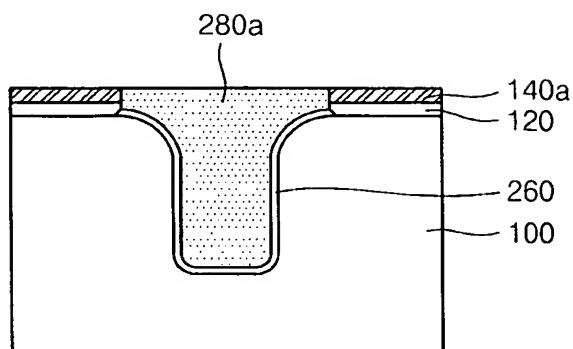
【도 2h】



1020020077969

출력 일자: 2003/5/30

【도 2i】



【도 2j】

